

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-50274

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl.⁹

G 0 2 F 1/133

G 0 9 G 3/20

3/36

識別記号

5 2 0

庁内整理番号

N 4237-5H

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 15 頁)

(21) 出願番号

特願平6-185006

(22) 出願日

平成6年(1994)8月5日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大森 拓郎

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

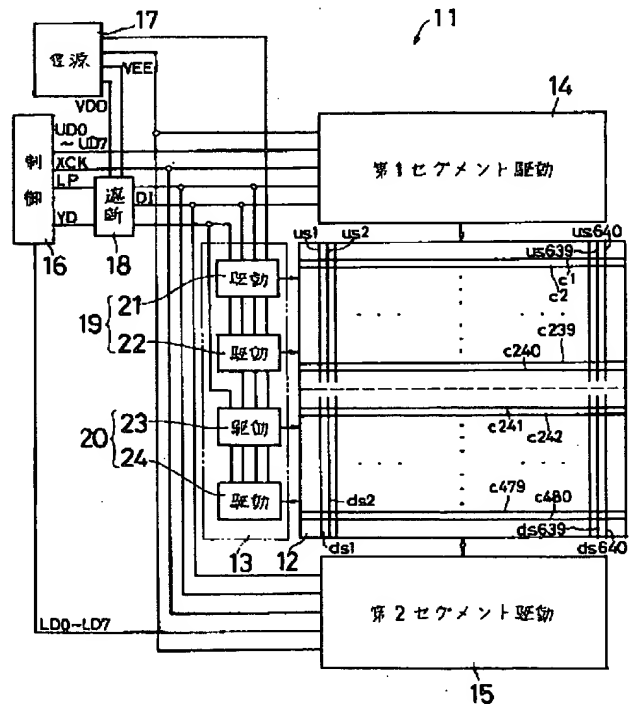
(74) 代理人 弁理士 西敏 圭一郎

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 表示制御信号の乱れや、駆動手段に供給される電圧の異常に起因する表示画像の乱れ、および駆動手段の破壊を防止することができる表示装置を提供することである。

【構成】 液晶表示装置 11 は、液晶表示パネル 12 を駆動するために複数の表示制御信号が制御回路 16 から遮断回路 18 を介して各駆動回路に供給されている。遮断回路 18 は予め定める条件を満たさなければ各駆動回路への電力を供給しない。そのために何らかの原因により表示制御信号に異常が生じて、液晶表示パネル 12 に不所望な画像が表示されることがなく、また各駆動回路に過度の負担が掛かり駆動回路が破壊されるのを防止することができる。また各駆動回路に供給される電力も、遮断回路 18 を介して供給されるため供給される電圧に異常が生じて各駆動回路が破壊されるのを防止することができる。



1

【特許請求の範囲】

【請求項1】 表示手段と、
前記表示手段を駆動する駆動手段と、
前記駆動手段に、表示駆動に必要な表示制御信号と電力
とを供給する制御手段と、
前記表示制御信号の周期が正常な値であることを検出す
る第1検出手段と、
供給される電力の電圧が、予め定めるレベル以上である
ことを検出する第2検出手段と、
前記第1検出手段と前記第2検出手段との出力に応答して、
供給される電力の電圧が予め定めるレベル以下である
ことと、前記表示制御信号の周期が予め定める値の範
囲から外れていることとの、少なくともいずれか一方が
生じているとき、前記駆動手段への電力の供給を遮断す
る手段とを含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置などに好
適に実施される表示装置に関する。

【0002】

【従来の技術】図13は、一般的な液晶表示装置1の概
略的な構成を示す図である。液晶表示装置1は、液晶表
示パネル2と、コモン駆動回路3と、セグメント駆動回
路4と制御回路5と、電源6とを含んで構成される。

【0003】液晶表示パネル2は、一对の基板部材間に
液晶層を介在させて構成される。一对の基板部材は、そ
れぞれ、ガラス、プラスチックなどから成る透光性基板
の一方表面に、互いに平行で等間隔に配置される複数の
帯状電極と、帯状電極が形成された一方表面のほぼ全面
を覆う配向膜とによって構成される。一对の基板部材
は、各基板部材が有する帯状電極の長手方向が直交する
ように、かつ各基板部材に形成された配向膜が対向する
ように予め定められた間隔をあけて配置され、各基板部
材の周縁部付近が接着剤によって接着される。前記一对
の基板部材と、接着剤とによって形成された空間内に液
晶層を形成する液晶材料が注入され封止される。

【0004】上述のように構成された液晶表示パネル2
において、一方基板部材に配置される帯状電極をコモン
電極c1、c2、c3、…、cn（総称するときは参照
符cを用いる）として、他方基板部材に配置される帯状
電極をセグメント電極s1、s2、s3、…、sm（総
称するときは参照符sを用いる）とする。コモン電極c
には、コモン駆動回路3から所定の駆動信号が印加さ
れ、セグメント電極sにはセグメント駆動回路4から所
定の駆動信号が印加される。

【0005】液晶表示パネル2では、コモン電極cとセ
グメント電極sとの各交差部分に介在する液晶材料が1
絵素となる。したがって、図13に示される液晶表示パ
ネル2においては、 $n \times m$ 個の絵素が行列状に配列して
いることになる。この絵素を選択的に駆動することによ

2

って、画像が表示される。

【0006】コモン駆動回路3は、後述する制御回路5
によって制御され、予め定める期間（以下、「1表示期
間」と称する）において、コモン電極cに1本ずつ順番
に、予め定める電位の信号（以下、「走査信号」と称す
る）を印加する。1本のコモン電極cに走査信号が印加
されている期間を、1水平表示期間とする。

【0007】セグメント駆動回路4は、後述する制御回
路5から与えられる表示データD0～D7（総称すると
きは参照符Dを用いる）に基づいて、1水平表示期間毎
にセグメント電極sに表示データDに基づいた電位の信
号（以下、「表示信号」と称する）を印加する。

【0008】セグメント駆動回路4は、セグメント電極
sにそれぞれ対応した複数のシフトレジスタを有し、制
御回路5から与えられるクロック信号XCKに응答して
与えられる表示データDを、順次シフトさせながらシフ
トレジスタに書込む。全ての表示データDをシフトレジ
スタに書込むと、書込まれた表示データDに対応する表
示信号を一括してセグメント電極sに印加する。表示デ
ータDの書込みは、書込むべき表示データDの直前に書
込まれた表示データDに対する表示信号の印加が行われ
ている水平表示期間内に行われる。

【0009】制御回路5は、各駆動回路を制御する複数
の信号を供給する。制御回路5は、クロック信号YD、
LPをコモン駆動回路3に供給し、表示データDと、ク
ロック信号XCK、LPとをセグメント駆動回路4に供
給する。クロック信号YDは、前記1表示期間を規定す
るクロック信号である。クロック信号LPは、前記1水
平表示期間を規定するクロック信号である。したがっ
て、信号LPは1表示期間内にn個のパルスを有する。
クロック信号XCKは、前述したようにセグメント駆動
回路4が備えるシフトレジスタへの書込み動作を規定す
るクロック信号であり、1水平表示期間内にm個のパル
スを有する。

【0010】また制御回路5は、コモン駆動回路3およ
びセグメント駆動回路4にそれぞれ反転制御信号Mを供
給する。反転制御信号Mは、液晶表示パネル2の各絵素
に印加される駆動電圧の極性を反転するように指示する
信号である。一般に液晶表示パネル2に用いられる液晶
材料は、直流電圧を長時間印加されると破壊されてしま
う。そのために、所定の期間毎に絵素である液晶材料に
印加される電圧の極性を正極性から負極性へ、または負
極性から正極性へと反転させる必要がある。反転制御信
号Mを各駆動回路に与えることによって液晶材料に印加
される駆動電圧の極性を一定の期間毎に反転させること
ができる。

【0011】電源回路6は、コモン駆動回路3およびセ
グメント駆動回路4にそれぞれ駆動電圧を供給する。

【0012】図14は、液晶表示装置1の動作を示すタ
イミングチャートである。図14では、特にコモン駆動

3

回路3の動作を示す。図14(1)に示すのは、クロック信号YDの波形図である。クロック信号YDは、1表示期間W2毎に、期間W1だけハイレベルとなる信号である。図14(2)に示すのは、クロック信号LPの波形図である。クロック信号LPは、周期W3のクロック信号であり、周期W3は1水平表示期間にあたる。クロック信号YDのハイレベル期間W1は、クロック信号LPの周期W3よりも短く、クロック信号LPのハイレベル期間より長く設定され、かつ前記ハイレベル期間を含むタイミングでハイレベルとなる。

【0013】図14(3)に示すのは、コモン電極c1に印加される走査信号の波形図であり、図14(4)に示すのは、コモン電極c2に印加される走査信号の波形図である。コモン駆動回路3は、コモン電極c1に対応するラッチ回路によって、クロック信号YDのハイレベルをクロック信号LPが立下がる時刻t0でラッチし、次のクロック信号LPの立下がり時刻t1までハイレベルを保持する。コモン電極c1に印加される走査信号がハイレベルとなっている間、所定の電位の走査信号がコモン電極c1に印加される。同様に、時刻t1から期間W3の間、コモン電極c2に走査信号が印加される。以下、コモン電極c3～cnまで走査信号が1本ずつ線順次で印加される。

【0014】上述のように構成され、動作する液晶表示装置1において、電源投入時に供給される電力の電圧が、不安定になることによって起こる異常動作による回路の破壊を防止するための技術が、特公平5-2128号に開示されている。前記公報によれば、駆動回路の液晶電圧を供給するラインにスイッチを設け、処理回路によって与えられる論理で前記スイッチをON/OFFしている。また液晶表示パネル2へ印加する電圧を選ぶためのデータをラッチしているラッチ回路を、リセットできるようにして、所望しないときに電圧が印加されないようにしている。

【0015】

【発明が解決しようとする課題】上述のように構成された液晶表示装置1では、駆動回路へ供給される電圧の異常について監視しているのみで、表示制御信号の異常発生時については何ら対策が講じられておらず、対策が不十分である。

【0016】図15～図20は、液晶表示装置1の異常時の動作を示すタイミングチャートである。それぞれのタイミングチャートにおいて、同一の符号を付した信号は、特に述べない限り同一の周期をもつ信号である。また、周期や期間を示す符号が同一ならば、同一の周期や期間である。

【0017】図15は、クロック信号YDのハイレベル期間が、適正な期間より長くなった場合のタイミングチャートである。図15(1)に示すのは、クロック信号YDがハイレベルである期間W4が適正な期間W1より

4

長くなり、たとえばクロック信号LPの周期W3の3倍程度である期間W4の間ハイレベルである場合のクロック信号YDの波形図である。期間W4において、図15(2)に示すようにクロック信号LPのハイレベル期間が複数個入るようになる。したがって図15(3)に示すように、コモン電極c1には時刻t10～t13の間走査信号が印加されるようになり、また図15(4)に示すように、コモン電極c2には、時刻t11～t14の間走査信号が印加されるようになる。したがって、時刻t11～t13の間は、コモン電極c1、c2が同時に選択されるようになる。

【0018】このため、セグメント駆動回路4からの表示信号が、2本のコモン電極に同時に与えられるので、表示される画像が乱れ、良好な表示が得られなくなる。また複数のコモン電極が同時に選択され、それぞれのコモン電極に走査信号を供給するために、コモン駆動回路3の内部に比較的大電流が流れ、ラッチアップが発生し、駆動回路が破壊される可能性がある。

【0019】図16は、クロック信号YDのローレベル期間が、適正な期間より短くなった場合のタイミングチャートである。図16(1)に示すのは、クロック信号YDがローレベルである期間W5が適正な期間(期間W2から期間W1を引いた期間)より短くなり、たとえばクロック信号LPの周期W3の2倍程度の長さになった場合のクロック信号YDの波形図である。クロック信号YDのローレベル期間W5が短いために、1表示期間中に全てのコモン電極cを走査することができない。図16(3)に示すように、コモン電極c1には時刻t20～t21、t22～t23、およびt24～t25の間で走査信号が印加され、図16(4)に示すように、コモン電極c2には時刻t21～t22、t23～t24の間で走査信号が印加され、図16(5)に示すように、コモン電極c3には時刻t22～t23、t24～t25の間で走査信号が印加される。したがって、時刻t22～t23、t24～t25の間はコモン電極c1、c3が同時に選択されることになる。

【0020】このため、セグメント駆動回路4からの表示信号が、2本のコモン電極に同時に与えられるので表示される画像が乱れ、良好な表示が得られなくなる。また複数のコモン電極が同時に選択され、それぞれのコモン電極に走査信号を供給するために、コモン駆動回路3の内部に比較的大電流が流れ、ラッチアップが発生し、駆動回路が破壊される可能性がある。

【0021】図17は、クロック信号LPの周期が、周期W3より短くなった場合のタイミングチャートである。図17(1)に示すのは、クロック信号LPの周期W3が短くなり、たとえばコモン駆動回路3の動作速度を規定するクロック信号の周期よりも短い時間である周期W6になった場合のクロック信号LPの波形図である。動作のための十分な時間がとれないために、コモン

5

駆動回路 3 は適性な動作ができなくなる。このためコモン電極の選択信号は一定時間ずつ選択されなくなり、パネルに直流電圧が印加されるようになり液晶材料が損傷する可能性がある。

【0022】図 18 は、クロック信号 LP が、途中で途切れてしまった場合のタイミングチャートである。図 18 (1) に示すのは、時刻 t_i ($1 \leq i \leq n-1$) 以降ハイレベル期間が現れなくなったクロック信号 LP の波形図である。図 18 (3) に示すように時刻 t_i で選択されたコモン電極 c_{i+1} は該時刻 t_i 以降選択されたままになってしまう。このため、パネルに直流成分が印加されるようになり液晶材料が損傷する可能性がある。

【0023】図 19 は、表示許可信号 DI がロジック電源 VDD よりも早くハイレベルになる場合のタイミングチャートである。表示許可信号 DI は、電源投入後、クロック信号に異常がなければハイレベルとなって各駆動回路への電力の供給を許可し、異常発生時にはローレベルとなり電力の供給を遮断する。図 19 (1) に示す表示許可信号 DI は、時刻 t_{30} でハイレベルになり、図 19 (2) に示すロジック電源 VDD は、時刻 t_{31} でハイレベルとなっている。ロジック電源 VDD がハイレベルになるよりも前に表示許可信号 DI がハイレベルになるために、表示許可信号 DI の電圧が液晶表示装置 1 内の回路を経て、ロジック電源 VDD の発生源にまでかかるようになる。このために、他の回路が誤動作を起こし、液晶表示パネル 2 が損傷する可能性がある。

【0024】図 20 は、表示許可信号 DI が、液晶電源 VEE よりも早くハイレベルになる場合のタイミングチャートである。図 20 (1) に示す表示許可信号 DI は、時刻 t_{40} でハイレベルとなり、図 20 (2) に示す液晶電源 VEE は、時刻 t_{41} でハイレベルとなる。液晶電源 VEE がハイレベルになるよりも前に表示許可信号 DI がハイレベルになる場合、駆動回路内における耐圧系の回路に電源が入っていないにもかかわらず、表示許可信号 DI によって動作が開始され、その後に液晶電源 VEE を立上げるために駆動回路に負荷が掛かり、駆動回路が損傷する可能性がある。

【0025】上述のような異常は様々な状況下で発生する。たとえば、電源投入時および、液晶表示装置が備える複数の表示モードを切替える場合において、制御回路 5 が過渡状態となって安定しないときに発生する。また液晶表示装置を組み込んだ機器を設計する場合において、電源投入時等の信号のシーケンスを考慮せずに設計したときに発生する。さらに、液晶表示装置の生産工程において、半田付けの不良などでクロック信号 YD の信号線が、他の信号線と短絡した場合にも発生する。またさらに、液晶表示装置をパーソナルコンピュータなどの機器に組込むときに、クロック信号 YD の信号線が他の回路基板の信号線に接触した場合にも発生する。

【0026】本発明の目的は、表示制御信号の乱れや、

6

駆動手段に供給される電圧の異常に起因する表示画像の乱れ、および駆動手段の破壊を防止することができる表示装置を提供することである。

【0027】

【課題を解決するための手段】本発明は、表示手段と、前記表示手段を駆動する駆動手段と、前記駆動手段に、表示駆動に必要な表示制御信号と電力とを供給する制御手段と、前記表示制御信号の周期が正常な値であることを検出する第 1 検出手段と、供給される電力の電圧が、予め定めるレベル以上であることを検出する第 2 検出手段と、前記第 1 検出手段と前記第 2 検出手段との出力に応答して、供給される電力の電圧が予め定めるレベル以下であることと、前記表示制御信号の周期が予め定める値の範囲から外れていることと、少なくともいずれか一方が生じているとき前記駆動手段への電力の供給を遮断する手段とを含むことを特徴とする表示装置である。

【0028】

【作用】本発明に従えば、液晶表示パネルなどの表示手段は、駆動手段によって駆動され、画像が表示される。前記駆動手段には、制御手段から表示駆動に必要な制御信号と電力が供給される。ここで、表示制御信号の周期が正常な値であることを第 1 検出手段によって検出し、供給される電力の電圧が予め定めるレベル以上であることを第 2 検出手段によって検出する。前記各検出手段によって信号の周期が予め定める値の範囲から外れていることと、供給される電力の電圧が前記予め定める電圧以下であることと、少なくともいずれか一方が生じていることが検出されると、前記駆動手段への電力供給が遮断される。したがって表示制御信号の周期が異常になった場合、および供給される電圧が予め定める電圧以下である場合には駆動手段への電力供給を遮断するので、表示制御信号の異常によって不所望な画像が表示手段に表示されることはなく、また異常なレベルの電圧が供給されることで駆動手段が破壊されることはない。これらの動作は全て表示装置内で行うことができるので、外部から制御のための信号を入力する必要はない。

【0029】

【実施例】図 1 は、本発明の一実施例である液晶表示装置 11 の概略的な構成を示す図である。液晶表示装置 11 は、液晶表示パネル 12 と、コモン駆動回路 13 と、第 1 セグメント駆動回路 14 と、第 2 セグメント駆動回路 15 と、制御回路 16 と、電源回路 17 と、遮断回路 18 とを含んで構成される。

【0030】液晶表示パネル 12 は、一对の基板部材間に液晶層を介在させて構成される。一对の基板部材は、それぞれガラス、プラスチックなどから成る透光性の基板の一方表面に互いに平行で等間隔に配置される複数の帯状電極と、帯状電極が形成された一方表面のほぼ全面を覆う配向膜とによって構成される。本実施例において、一方基板部材に形成される帯状電極は、その長手方

7

向長さの中間位置で分割されている。分割された2つの電極群のうち、一方電極群を第1セグメント電極群とし、他方電極群を第2セグメント電極群とする。第1セグメント電極群は、第1セグメント電極 $u s 1, u s 2, \dots, u s 640$ （総称するときは参照符 $u s$ を用いる）によって構成され、第2セグメント電極群は、第2セグメント電極 $d s 1, d s 2, \dots, d s 640$ （総称するときは参照符 $d s$ を用いる）によって構成される。また、他方基板部材に形成される帯状電極をコモン電極 $c 1, c 2, \dots, c 480$ （総称するときは参照符 c を用いる）とする。

【0031】液晶表示パネル12においては、第1セグメント電極 $u s$ 、第2セグメント電極 $d s$ と、コモン電極 c との各交差部分に介在する液晶材料が1絵素となる。したがって図1に示される絵素表示パネル12においては、 640×480 個の絵素が行列状に配列していることになる。この絵素を選択的に駆動することによって画像が表示される。

【0032】コモン駆動回路13は、後述する制御回路16によって制御され、1表示期間においてコモン電極 c に1本ずつ順番に予め定める走査信号を印加する。1本のコモン電極 c に走査信号が印加されている期間が、1水平表示期間となる。

【0033】コモン駆動回路13は、第1コモン駆動回路19と第2コモン駆動回路20とを含む。第1コモン駆動回路19は、コモン電極 $c 1 \sim c 240$ に1本ずつ線順次で走査信号を印加する。また第2コモン駆動回路20は、コモン電極 $c 241 \sim c 480$ に1本ずつ線順次で走査信号を印加する。第1コモン駆動回路19および第2コモン駆動回路20は1表示期間内に同時に、かつ同一のタイミングで動作する。したがって、1水平表示期間において上部のコモン電極と下部のコモン電極とに同時に、たとえばコモン電極 $c 1$ と $c 241$ 、コモン電極 $c 2$ と $c 242$ というように2本ずつ走査信号が印加される。このように電極を液晶表示パネル12の上部と下部の2つに分け、2つの電極群を同時に走査することによって、分割しない場合よりも1水平表示期間を2倍長くすることができ、絵素を良好に駆動することができる。

【0034】第1コモン駆動回路19は、駆動回路21, 22を含む。駆動回路21はコモン電極 $c 1 \sim c 120$ の走査を担当し、駆動回路22はコモン電極 $c 121 \sim c 240$ の走査を担当する。第2コモン駆動回路20は、駆動回路23, 24を含む。駆動回路23はコモン電極 $c 241 \sim c 360$ の走査を担当し、駆動回路24はコモン電極 $c 361 \sim c 480$ の走査を担当する。

【0035】第1セグメント駆動回路14は、後述する制御回路16から与えられる表示データ $UD 0 \sim UD 7$ に基づいて1水平表示期間毎に第1セグメント電極 $u s$ に表示データに対応した信号電圧を印加する。第2セグ

8

メント駆動回路15は、後述する制御回路16から与えられる表示データ $LD 0 \sim LD 7$ に基づいて、1水平表示期間毎に第2セグメント電極 $d s$ に表示データに対応した信号電圧を印加する。第1セグメント駆動回路14および第2セグメント駆動回路15は、同時にかつ同一タイミングで動作する。したがって、たとえばコモン電極 $c 1, c 241$ が動作している1水平表示期間では、コモン電極 $c 1$ と第1セグメント電極 $u s$ との交差部分にある絵素が駆動され、コモン電極 $c 241$ と第2セグメント電極 $d s$ との交差部分にある絵素が駆動される。

【0036】制御回路16は、各回路を制御する複数の信号を供給する。制御回路16から供給される複数の信号としては、表示データ $UD 0 \sim UD 7, LD 0 \sim LD 7$ 、クロック信号 XCK, LP, YD 、および後述する極性反転信号 M がある。表示データ $UD 0 \sim UD 7$ は、第1セグメント駆動回路14に与えられる。表示データ $LD 0 \sim LD 7$ は、第2セグメント駆動回路15に与えられる。クロック信号 XCK は、第1セグメント駆動回路14、第2セグメント駆動回路15にそれぞれ与えられる。クロック信号 LP, YD は、後述する遮断回路18を介して各駆動回路に与えられる。クロック信号 LP は、第1セグメント駆動回路14、第2セグメント駆動回路15、およびコモン駆動回路13にそれぞれ与えられ、クロック信号 YD は、コモン駆動回路13に与えられる。

【0037】電源回路17は、後述する構成によって基準電圧から複数種類の電圧を生成し、コモン駆動回路13、第1セグメント駆動回路14、第2セグメント駆動回路15にそれぞれ供給する。

【0038】遮断回路18は、後述する構成によってクロック信号 YD, LP および各駆動回路に供給する電源電圧の異常を検出し、表示許可信号 DI をローレベルにして各駆動回路へ出力する。表示許可信号 DI は、液晶パネル12に印加される電圧を制御する信号であり、遮断回路18が前記異常を検出するとローレベルになり、後述するセレクトによって前記電圧が印加されないようにする。表示を行うには、前もってハイレベルにしておく。

【0039】図2は、遮断回路18の構成例を示す回路図である。遮断回路18は、フリップフロップ25, 26, 27, 71と、インバータ28, 29, 59と、ANDゲート67, 68と、カウンタ56, 57と、電圧監視IC (Integrated Circuit; 集積回路) 65, 66と、単安定マルチバイブレータ69, 70とを含んで構成される。遮断回路18は、入力されるクロック信号 LP, YD 、および電源 VDD, VEE に異常がある場合、出力である表示許可信号 DI をローレベルにする。信号に異常がある場合とは、クロック信号 YD については、クロック信号 YD がハイレベルである期間が正常時より長い場合と、クロック信号 YD の周期が正常時より

短い場合である。またクロック信号LPについては、クロック信号LPの周期が正常時より長い場合と、クロック信号LPの周期が正常時より短い場合とである。さらに、電源の電圧レベルについては、ロジック電源VDDの電圧レベルが正常時より低い場合と、液晶電源VEEの電圧レベルが正常時より低い場合とである。

【0040】フリップフロップ25は、D入力にクロック信号YDが入力され、インバータ28によって反転されたクロック信号LPが、クロックパルスとして入力されている。またインバータ29によって反転されたクロック信号YDが、反転のリセットパルスとして入力されている。フリップフロップ25のQ出力である信号SAは、フリップフロップ26のD入力に与えられる。フリップフロップ25は、D入力に与えられるクロック信号YDの信号レベルを、クロック信号LPの立下がりタイミングでラッチしてQ出力として出力し、クロック信号YDの立下がりタイミングでリセットされる。

【0041】フリップフロップ26のD入力には、フリップフロップ25のQ出力である信号SAが入力され、クロックパルスと反転リセットパルスとしてはフリップフロップ25とそれぞれ同様の信号が入力されている。フリップフロップ26の反転Q出力である信号SBは、ANDゲート68に入力される。フリップフロップ26は、フリップフロップ25のQ出力である信号SAのレベルを、クロック信号LPの立下がりタイミングでラッチし、信号SAのレベルを反転Q出力として出力し、クロック信号YDの立下がりタイミングでリセットされる。

【0042】カウンタ56の反転ロード入力には、信号SCが入力されている。信号SCは、後述する電圧監視IC65の出力である信号VEEOKと、後述する電圧監視IC66の出力である信号VDDOKと、インバータ29によって反転されたクロック信号YDとが入力されたANDゲート67の出力である。カウンタ56のクロックパルスとしてインバータ28で反転されたクロック信号LPが入力され、反転クリア端子CLには一定の電位の信号が入力されている。EP入力には後述するカウンタ57のCA出力をインバータ59によって反転した信号SDが入力され、ET入力には一定の電位の信号が入力されている。またデータのプリセット入力は行われていない。カウンタ56のCA出力は、カウンタ57のET入力に入力される。

【0043】カウンタ57の反転ロード入力と、クロックパルスと、EP入力に入力される信号SDとはカウンタ56に入力されている信号と同様のものであり、反転クリア端子CLも同様に一定の電位の信号が入力されている。ET入力には、カウンタ56のCA出力が入力されている。カウンタ57は、プリセットA入力に一定の電位の信号が入力されている。カウンタ57のCA出力は、一方は後述するフリップフロップ27のD入力に入

力され、また他方はインバータ59に入力され信号SDになる。

【0044】カウンタ56、57は、直列に接続されており、それぞれ信号SCが立下がると予め定められる設定値をロードし、クロック信号LPの立下がり毎に計数動作を行う。本実施例での設定値は、「10h(16進数)」であるので、カウンタ57の初期値は「1h」となり、カウンタ56の初期値は「0h」となる。

【0045】カウンタ56は、ET入力に常にハイレベルであるので、CK入力に入力がある度に計数動作を行う。カウンタ56は、計数値が「Fh」になった時点で、カウンタ57のET入力であるCA出力をハイレベルにする。CA出力は、カウンタの計数値が「Fh」になると、ハイレベルになり、それ以外のときはローレベルである。カウンタ57は、ET入力にハイレベルであるので、次に入力されるクロック信号LPの立下がりタイミングで計数動作を行い、計数値は、初期値より1増えて「2h」となる。同時にカウンタ56は、計数値が「0h」となり、CA出力もローレベルとなる。CA出力がローレベルとなるため、次に入力されるクロック信号LPの立下りではカウンタ57は計数動作を行わない。同様の動作を行い、クロック信号YDが立下ってから再び立上るまでにクロック信号LPが239回立下がると、カウンタ56、57の計数値がともに「Fh」となり、カウンタ57のCA出力がハイレベルになる。カウンタ57の一方のCA出力である信号LCYDLは、フリップフロップ27のD入力に入力される。また他方のCA出力はインバータ59によって反転され、信号SDとして各カウンタのEP入力に入力される。EP入力に入力される信号がローレベルであると各カウンタは計数動作を行わない。クロック信号YDの1周期毎に同様の動作を行う。

【0046】電圧監視IC65、66は、それぞれ電源VEE、VDDの電圧レベルを監視し、一定のレベル以上になると出力がハイになる。電圧監視IC65の出力である信号VEEOKと、電圧監視IC66の出力である信号VDDOKとは、反転されたクロック信号YDとを含めてANDゲート67によって論理積をとり、信号SCとしてカウンタ56、57の反転ロード入力に入力されている。また信号VEEOKと信号VDDOKとはANDゲート68に入力されている。さらに信号VDDOKは遮断回路18の出力となっている。

【0047】単安定マルチバイブレータ69のA入力には、クロック信号LPが入力され、B入力には一定の電位の信号が入力されている。また反転リセット入力には一定の電位の信号が入力されている。単安定マルチバイブレータ69のQ出力は、信号LPDOMAXとしてANDゲート68に入力される。単安定マルチバイブレータ69から出力されるパルスの幅は、パルス幅設定部72によって定められる。

【0048】単安定マルチバイブレータ70のA入力にはクロック信号LPが入力され、B入力には一定の電位の信号が入力されている。また反転リセット入力にはクロック信号LPが入力されている。単安定マルチバイブレータ70のQ出力は信号LPOSMINとしてフリップフロップ71のD入力に入力される。単安定マルチバイブレータ70から出力されるパルスの幅は、パルス幅設定部73によって定められる。フリップフロップ71のD入力には、前記信号LPOSMINが入力され、クロックパルスとしてクロック信号LPが入力される。また、フリップフロップ71の反転Q出力である信号LPDUMINはANDゲート68に入力されている。

【0049】パルス幅設定部72、73は、抵抗とコンデンサとによって構成されており、単安定マルチバイブレータ69、70の出力パルス幅を定める。なお、それぞれのパルス幅設定部72、73で定められる出力パルス幅は異なっている。

【0050】ANDゲート68には5つの信号が入力され、論理積をとって反転信号DSPRSTとしてフリップフロップ27の反転リセット入力に入力される。ANDゲート68には、信号VDDOK、信号VEEOK、信号SB、信号LPDOMAX、および信号LPDUMINの5つの信号が入力される。

【0051】フリップフロップ27のD入力には、前記信号LCYDLが入力され、クロックパルスとしてクロック信号YDが入力される。また、フリップフロップ27の反転リセット入力として反転信号DSPRSTが入力される。フリップフロップ27のQ出力は表示許可信号DIとして各駆動回路に供給される。

【0052】図3は、コモン駆動回路13を構成する駆動回路21の構成例を示す回路図である。駆動回路21～24は、同一の構成であるので、ここでは駆動回路21を例にとり説明する。駆動回路21は、120個のフリップフロップF1～F120と、120個のセクタE1～E120と、インバータ30とを含む。駆動回路21においては、1本のコモン電極に対して、それぞれ1つのフリップフロップとセクタとが対応する。

【0053】フリップフロップF1は、D入力にクロック信号YDが入力され、クロックパルスとしてインバータ30の出力である反転されたクロック信号LPが入力される。フリップフロップF1のQ出力は、セクタE1に与えられるとともに、次段のフリップフロップF2のD入力に入力される。フリップフロップF1は、クロック信号YDのレベルを、クロック信号LPの立下りタイミングでラッチし、ラッチしたレベルをQ出力として出力する。

【0054】フリップフロップFi (i=2～120) は、D入力に前段のフリップフロップFi-1のQ出力が入力され、クロックパルスとしてインバータ30の出力である反転されたクロック信号LPが入力される。フ

リップフロップFiのQ出力は、セクタEiに入力されるとともに、次段のフリップフロップFi+1のD入力に入力される。なお、フリップフロップF120のQ出力は、セクタE120のみに入力される。フリップフロップFiは、前段のフリップフロップFi-1のQ出力のレベルを、クロック信号LPの立下りタイミングでラッチし、ラッチしたレベルをQ出力として出力する。

【0055】セクタEi (i=1～120) は、フリップフロップFiのQ出力、極性反転信号M、表示許可信号DIの各レベルに従って、後述する電源回路17から入力される電圧信号V0、V1、V4、V5のうちのいずれか1つを選択して走査信号としてコモン電極ciに出力する。

【0056】図4は、電源回路17の構成例を示す回路図である。電源回路17は、6個の抵抗R1～R6と5個のアンプ31～35とを含む。この抵抗R1～R6は、この順序で直列に接続される。抵抗R1の接続側とは反対側端部に基準電圧VEEが与えられ、抵抗R6の接続側とは反対側端部はグランド電位とされる。抵抗R2～R6の各抵抗値の比は、R2 : R3 : R4 : R5 : R6 = 1 : 1 : a : 1 : 1 に選ばれる。電源回路17は、基準電圧VEEを抵抗R1～R6によって抵抗分割して得られる複数の異なる電圧を駆動電圧V0～V5として出力する。

【0057】抵抗R1とR2との接続点の電圧は、アンプ31によって、低インピーダンスにして駆動電圧V0として出力される。抵抗R2とR3との接続点の電圧はアンプ32によって、低インピーダンスにして駆動電圧V1として出力される。抵抗R3とR4との接続点の電圧は、アンプ33によって低インピーダンスにして駆動電圧V2として出力される。抵抗R4とR5と接続点の電圧は、アンプ34によって低インピーダンスにして駆動電圧V3として出力される。抵抗R5とR6との接続点の電圧は、アンプ35によって低インピーダンスにして駆動電圧V4として出力される。なお、グランド電位は駆動電圧V5として出力される。

【0058】図5は、駆動回路21が備えるセクタE1の構成例を示す回路図である。セクタE1～E120は、同一の構成であるので、セクタE1を例にとり説明する。セクタE1は、4つのスイッチング素子36～39と、論理回路40とを含む。スイッチング素子36～39は、トランジスタなどで実現され、論理回路40からの制御信号G1～G4によって導通/遮断が制御される。スイッチング素子36～39の各一方端には、それぞれ駆動電圧V0、V1、V4、V5が与えられ、各他方端は共通に接続される。したがって、セクタE1は、スイッチング素子36～39の導通/遮断を適宜制御することによって、駆動電圧V0、V1、V4、V5のうちのいずれかを1つ選択して出力するこ

とができる。

【0059】論理回路40は、フリップフロップF1のQ出力、極性反転信号M、表示許可信号DIに基づいて、論理演算を行い、制御信号G1～G4を生成してス

真理値表

DI	M	Q	G1 (36)	G2 (37)	G3 (38)	G4 (39)	出力
0	—	—	0	0	0	1	V5
1	0	0	0	1	0	0	V1
1	0	1	1	0	0	0	V0
1	1	0	0	0	1	0	V4
1	1	1	0	0	0	1	V5

【0061】図6は、制御回路16の構成例を示すブロック図である。原発振回路41は、予め定める周波数のクロック信号を生成し、分周回路42に与える。分周回路42は、与えられるクロック信号を、所定の分周比で分周して出力する。分周回路42の出力信号は、マスク回路43および分周回路44に与えられる。マスク回路43は、分周回路42の出力信号を予め定める1水平表示期間だけそのまま出力し、予め定める帰線期間だけ遮断することによって、クロック信号XCKを生成して出力する。分周回路44は、前記分周回路42の出力信号を所定の分周比で分周して出力する。

【0062】分周回路44の出力信号は、カウンタ45、分周回路46およびカウンタ47に与えられる。カウンタ45は、前記分周回路44の出力信号のパルス数を計数し、所定の計数値になるたびにパルスを出力することによって、クロック信号LPを生成する。分周回路46は、前記分周回路44の出力信号を所定の分周比で分周して、クロック信号YDを生成する。カウンタ47は、分周回路44の出力信号のパルス数を計数し、所定の計数値になるたびにパルスを出力することによって、極性反転信号Mを生成する。

【0063】CPU(Central Processing Unit; 中央処理装置)48は、前述の各回路41～47の動作を制御する。CPU48は、映像信号生成回路50を制御し、表示データUD0～UD7、LD0～LD7を出力させる。

【0064】図7は、第1セグメント駆動回路14の構成例を示す回路図である。第1および第2セグメント駆動回路14、15は、同一の構成であるので、ここでは第1セグメント駆動回路14を例にとって説明する。第1セグメント駆動回路14は、ラッチ回路H1～H640、L1～L640と、フリップフロップJ1～J640と、セレクトA K1～K640と、インバータ51、52を含む。なお、図面では、セグメント電極us1、us2に関連する構成のみを示す。

【0065】フリップフロップJ1は、D入力に所定のレベルが与えられ、インバータ52の出力の立上りタイ

ミッチング素子36～39の各ゲート端子に出力する。論理回路40の真理値表は、下記の表1に示される。

【0060】

【表1】

ミング、すなわちクロック信号XCKの立下りタイミングで、D入力のレベルをラッチし、ラッチしたレベルをQ出力として出力する。フリップフロップJ1のQ出力は、ラッチ回路H1のクロックパルスとして入力され、またフリップフロップJ2のD入力とに入力される。したがって、ラッチ回路H1は、最初のクロック信号XCKが入力されたときにD入力に入力されている表示データをラッチし、Q出力として出力する。

【0066】フリップフロップJ2は、前記フリップフロップJ1と同様に、クロック信号XCKの立下りタイミングで、フリップフロップJ1のQ出力のレベルをラッチし、Q出力として出力する。フリップフロップJ2のQ出力は、ラッチ回路H2のCK入力と図示しないフリップフロップJ3のD入力とに入力される。フリップフロップJ2に関して、最初のクロック信号XCKが入力されたときは、フリップフロップJ1のQ出力はローレベルであるが、次のクロック信号XCKが入力されたときは、フリップフロップJ1のQ出力はハイレベルであるので、フリップフロップJ2のQ出力もハイレベルとなる。このように、フリップフロップJ1、J2、…の各Q出力は、クロック信号XCKが立下るたびに順次ハイレベルとなる。

【0067】フリップフロップJ1、J2、…の各Q出力は、それぞれラッチ回路H1、H2、…にクロックパルスとして入力されている。したがって、表示データUD0～UD7をクロック信号XCKのタイミングに同期して入力することによって、ラッチ回路H1、H2、…は入力される表示データを順番にラッチしていく。ラッチ回路H1、H2、…の各Q出力は、それぞれラッチ回路L1、L2、…の各D入力に与えられている。

【0068】ラッチ回路L1、L2、…は、インバータ51からの出力信号の立上りタイミングで、すなわちクロック信号LPの立下りタイミングで、D入力に入力されている表示データをラッチして、Q出力として出力する。したがって、1水平表示期間において、次の水平表示期間に表示すべき表示データを順番にラッチ回路H1、H2、…に書込み(ラッチし)、全ての書込みが終

了した時点で、クロック信号LPを与えることによって、書込まれた表示データが一斉にセクタK1、K2、…に与えられる。

【0069】セクタK1は、ラッチ回路11のQ出力、極性反転信号M、表示許可信号DIに基づいて論理演算を行い、論理演算結果に基づいて、駆動電圧V0、V2、V3、V5のうちから1つを選択してセグメント電極us1に出力する。セクタK2、…についても、

真理値表

DI	M	Q	G1 (36)	G2 (37)	G3 (38)	G4 (39)	出力
0	—	—	0	0	0	1	V5
1	0	0	0	1	0	0	V2
1	0	1	1	0	0	0	V0
1	1	0	0	0	1	0	V3
1	1	1	0	0	0	1	V5

【0071】遮断回路18において、同一の判断を行う構成要素毎の動作をタイミングチャートによって示す。なお、タイミングチャートに示されていない信号は正常

であるとする。

【0072】図8は、フリップフロップ25、26の動作を示すタイミングチャートである。図8に示すタイミングチャートではクロック信号YDのハイレベルである期間が正常時より長くなった場合、表示許可信号DIをローレベルにしている。

【0073】図8において期間W1～W4は、前述の図14および図15と同一の長さであるものとする。時刻t50で図8(1)に示すように、クロック信号YDがハイレベルに立上ると、フリップフロップ27のQ出力である表示許可信号DIはハイレベルとなる。図8

(2)に示すクロック信号LPの立下がり時刻t51においてフリップフロップ25はクロック信号YDのレベルをラッチし、Q出力である信号SAは図8(3)に示すようにハイレベルとなる。クロック信号YDが正常である場合は、図面において2点鎖線で示すように時刻t51～t52の間でローレベルに立下がるので、信号SAもローレベルとなり、図8(4)に示すフリップフロップ26の反転Q出力である信号SBもハイレベルのままであるので、フリップフロップ27はリセットされ

ず、表示許可信号DIはハイレベルのままである。

【0074】次に、クロック信号YDが異常状態である場合、すなわちクロック信号YDのハイレベル期間が図8(1)に示すように正常な期間より長くなった場合の動作を説明する。この場合、次のクロック信号LPの立下がり時刻t52においては、クロック信号YDはハイレベルであるので、フリップフロップ25のQ出力である信号SAはハイレベルのままとなる。したがって、フリップフロップ26は、時刻t52において、信号SAのハイレベルをラッチすることになり、これによって反

セクタK1と同様である。セクタK1、K2、…の構成は、前述の図5に示すセクタの構成と同一である。異なる点は、駆動用電圧V1の代わりに駆動用電圧V2を与え、駆動用電圧V4の代わりに駆動用電圧V3を与えたことである。セクタKの論理演算の真理値表は、下記の表2に示される。

【0070】

【表2】

転Q出力である信号SBはローレベルに立下がり、ANDゲート68の出力である反転信号DSPRSTはローレベルに立下がる。このためフリップフロップ27はリセットされ、Q出力である表示許可信号DIはローレベルとなる。その後、クロック信号YDがローレベルに立下がる時刻t53において、フリップフロップ25、26はともにリセットされ、信号SAはローレベルに立下がり、信号SBはハイレベルに立上る。

【0075】図9は、カウンタ56、57の動作を示すタイミングチャートである。図9に示すタイミングチャートでは、クロック信号YDの周期W2の間にクロック信号LPが予め定められた回数立上ると、表示許可信号DIをハイレベルにしている。

【0076】図9において、期間W1～W3は前述の図14と同一の長さであるものとする。時刻t60で図9(1)に示すように信号VEEOK、VDDOKがハイレベルに立上っている。図9(2)に示すクロック信号YDが時刻t62においてハイレベルに立上ると、信号SCがローレベルとなる。カウンタ56、57の反転ロード入力がハイレベルとなり、カウンタ56、57はそれぞれ予め定められた値を読込む。時刻t63においてクロック信号YDがローレベルに立下ると、カウンタ56、57はそれぞれ計数動作を開始する。図9

(3)に示すクロック信号LPが、時刻t64から周期W3で立下がる毎にカウンタ56、57はそれぞれ計数動作を行う。時刻t65において時刻t64からの立下がり回数(計数値)が「239」となり、カウンタ57のCA出力である図9(4)に示す信号LCYDLがハイレベルになる。時刻t66でクロック信号YDが立上ると、信号LCYDLがハイレベルであるため、フリップフロップ27のQ出力である表示許可信号DIはハイレベルとなる。信号LCYDLは、時刻t67においてクロック信号LPが立下るとローレベルになる。

17

【0077】図10は単安定マルチバイブレータ69の動作を示すタイミングチャートである。図10に示すタイミングチャートでは、クロック信号LPの周期が期間W3より長くなった場合に、表示許可信号DIをローレベルにしている。

【0078】図10において、時刻t70以前はクロック信号LPは正常な状態であるとする。時刻t70においてクロック信号LPがハイレベルに立上ると、単安定マルチバイブレータ69はパルス幅設定部72によって定められる時刻t71～t72の期間W7の間、図10(2)に示す信号LPDOMAXをハイレベルにする。これによって、フリップフロップ27の反転リセットパルス入力、ハイレベルとなり、図10(3)に示す表示許可信号DIはハイレベルのままとなる。期間W7はW3より長く設定されており、信号LPDOMAXがハイレベルである時刻t71において、クロック信号LPがハイレベルに立上ると、信号LPDOMAXはさらに時刻t71から期間W7だけハイレベルとなる。クロック信号LPが異常状態となった場合、すなわち時刻t71以降クロック信号LPがハイレベルに立上らない場合、信号LPDOMAXは時刻t72で立下がりローレベルとなる。これによって、表示許可信号DIはローレベルとなる。

【0079】図11は単安定マルチバイブレータ70とフリップフロップ71の動作を示すタイミングチャートである。図11に示すタイミングチャートではクロック信号LPの周期が期間W3より短くなった場合に、表示許可信号DIをローレベルにしている。図11において、時刻t80以前はクロック信号LPは正常な状態であるとする。

【0080】時刻t80において、図11(1)に示すクロック信号LPが立上ってハイレベルになると、単安定マルチバイブレータ70は、パルス幅設定部73によって定められる期間W8の間、図11(2)に示す信号LPOSMINをハイレベルとする。信号LPOSMINがハイレベルとなる期間W8は、クロック信号LPの一周期である期間W3より短く設定されている。そのために、時刻t82でクロック信号LPがハイレベルに立上ったとき、信号LPOSMINはローレベルであるので、フリップフロップ71の反転Q出力である信号LPDUMINはハイレベルとなる。したがってフリップフロップ27はリセットされず、表示許可信号DIはハイレベルとなる。

【0081】次にクロック信号LPが異常状態である場合、すなわちクロック信号LPが、クロック信号LPの正常状態の周期W3または、信号LPOSMINがハイレベルである期間W8より短い周期でハイレベルになる場合を説明する。時刻t82において、クロック信号LPが立上ってハイレベルになるので、信号LPOSMINもハイレベルとなる。次にクロック信号LPがハイ

18

レベルとなる時刻t83では、信号LPOSMINはハイレベルのままであるので、フリップフロップ71の反転Q出力である信号LPDUMINは立下がってローレベルとなる。したがって、フリップフロップ27はリセットされ、表示許可信号DIはローレベルとなる。

【0082】図12は、本発明の第2実施例を説明するための回路図である。本実施例は、コモン駆動回路13、第1セグメント駆動回路14、および第2セグメント駆動回路15に、表示許可信号DIのための入力端子がない場合を想定している。このような場合は、図12に示すような電源回路61を用いればよい。電源回路61は、前述の電源回路17の構成要素に加え、トランジスタ62、63と、複数の抵抗R7～R10と、第1実施例で示した遮断回路18とを設けている。表示許可信号DIのオン/オフに応じて、定電圧発生回路64からの基準電圧VEEの供給を制御している。

【0083】電源回路61において、定電圧発生回路64からの基準電圧VEEは、トランジスタ62を介して、抵抗R1の一方端に与えられる。トランジスタ62のエミッターベース間には、抵抗R7が接続される。トランジスタ62のベースには抵抗R8を介して、トランジスタ63のエミッタが接続される。トランジスタ63のコレクタは、グランド電位GNDに接続される。トランジスタ63は、ベースに抵抗R9を介して遮断回路18からの表示許可信号DIが与えられるとともに、ベース-コレクタ間に抵抗R10が接続される。

【0084】表示許可信号DIがハイレベルであるとき、トランジスタ63は導通し、コレクタ電流が流れ、これによって、トランジスタ62が導通し、抵抗R1に基準電圧VEEが供給される。表示許可信号DIがローレベルであるとき、トランジスタ63は遮断され、コレクタ電流は流れないので、トランジスタ62も遮断され、抵抗R1への基準電圧VEEの供給が遮断される。本実施例においても、前述の実施例と同様な効果が得られる。

【0085】

【発明の効果】以上のように本発明によれば、表示制御信号の異常が検出されたことと、駆動手段に供給される電力の電圧が予め定めるレベル以下であることとの少なくともいずれか一方が生じたときは、駆動手段への電力供給を強制的に遮断するようにしたために、異常のある表示制御信号に基づいて不所望な画像が表示されたりすることがない。また、異常な表示制御信号に基づく不所望な駆動手段の動作を防止することができる。さらに、不所望なタイミングで不安定な電力が供給されることによって、駆動手段が破壊されたりすることを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である液晶表示装置11の概略的な構成を示す図である。

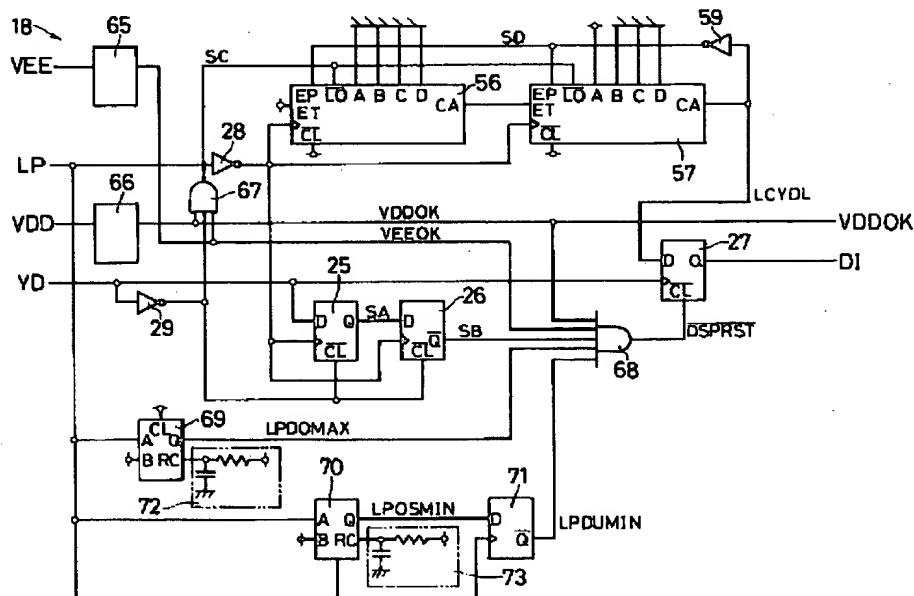
- 【図 2】遮断回路 18 の構成例を示す回路図である。
- 【図 3】コモン駆動回路 13 を構成する駆動回路 21 の構成例を示す回路図である。
- 【図 4】電源回路 17 の構成例を示す回路図である。
- 【図 5】駆動回路 21 が備えるセクタ E1 の構成例を示す回路図である。
- 【図 6】制御回路 16 の構成例を示す回路図である。
- 【図 7】第 1 セグメント駆動回路 14 の構成例を示す回路図である。
- 【図 8】遮断回路 18 に含まれるフリップフロップ 25, 26 の動作を示すタイミングチャートである。
- 【図 9】遮断回路 18 に含まれるカウンタ 56, 57 の動作を示すタイミングチャートである。
- 【図 10】遮断回路 18 に含まれる単安定マルチバイブレータ 69 の動作を示すタイミングチャートである。
- 【図 11】遮断回路 18 に含まれる単安定マルチバイブレータ 70 とフリップフロップ 71 の動作を示すタイミングチャートである。
- 【図 12】本発明の第 2 実施例に用いられる電源回路 61 の構成例を示す回路図である。
- 【図 13】一般的な液晶表示装置 1 の概略的な構成を示す図である。
- 【図 14】液晶表示装置 1 の動作を示すタイミングチャートである。
- 【図 15】クロック信号 YD のハイレベル期間が正常より長い場合のタイミングチャートである。

- 【図 16】クロック信号 YD のローレベル期間が正常より短い場合のタイミングチャートである。
- 【図 17】クロック信号 LP の周期 W3 が短くなった場合のタイミングチャートである。
- 【図 18】クロック信号 LP が途切れてしまった場合のタイミングチャートである。
- 【図 19】表示許可信号 DI がロジック電源 VDD より早くハイレベルになる場合のタイミングチャートである。
- 【図 20】表示許可信号 DI が液晶電源 VEE より早くハイレベルになる場合のタイミングチャートである。

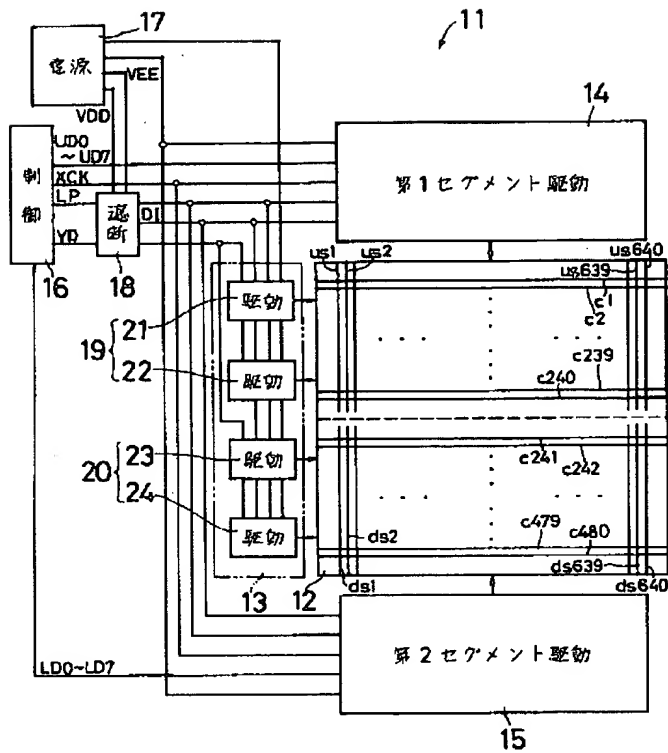
【符号の説明】

- 11 液晶表示装置
12 液晶表示パネル
13 コモン駆動回路
14 第 1 セグメント駆動回路
15 第 2 セグメント駆動回路
16 制御回路
17 電源回路
18 遮断回路
25, 26, 27, 71 フリップフロップ
28, 29, 59 インバータ
56, 57 カウンタ
65, 66 電圧監視 IC
67, 68 AND ゲート
69, 70 単安定マルチバイブレータ

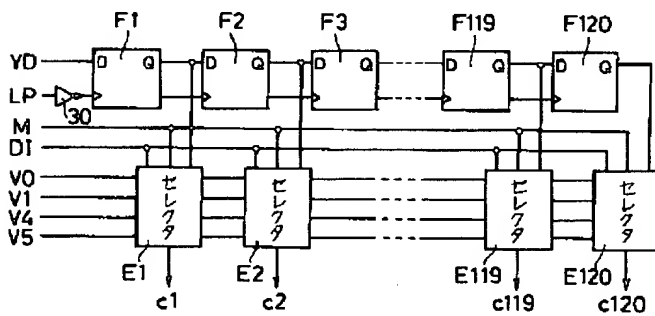
【図 2】



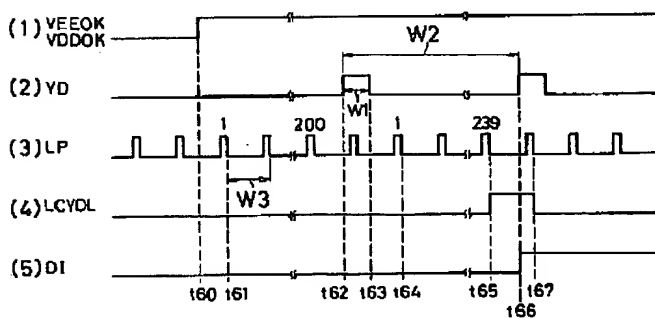
【図1】



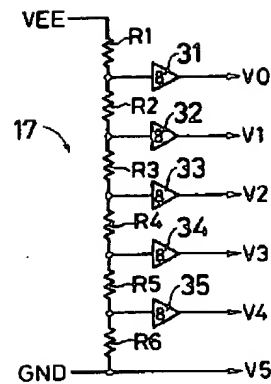
【図3】



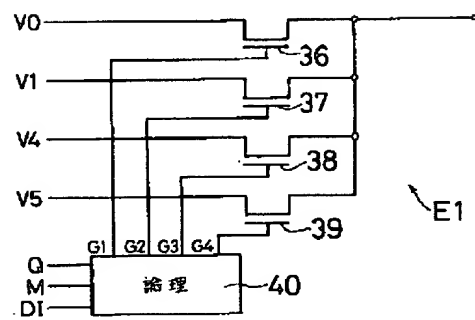
【図9】



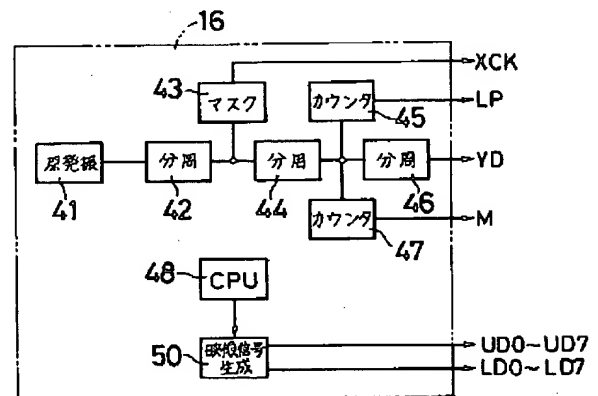
【図4】



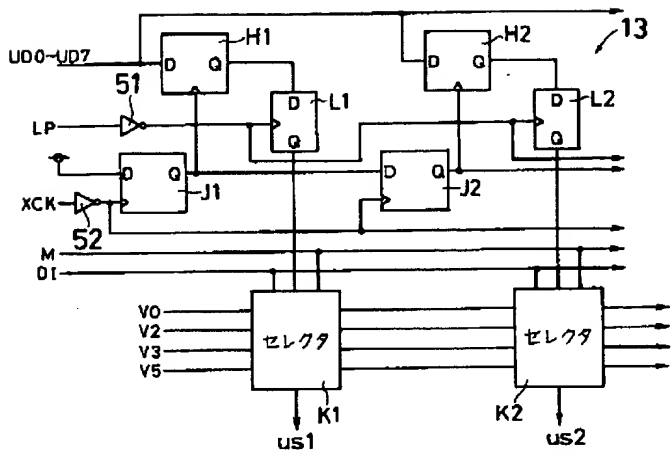
【図5】



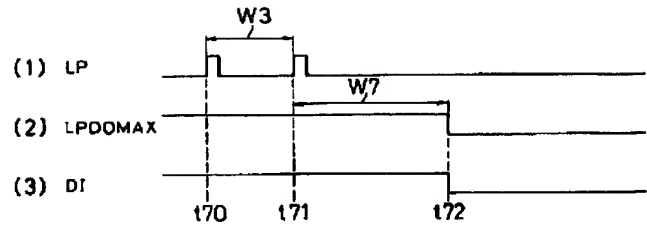
【図6】



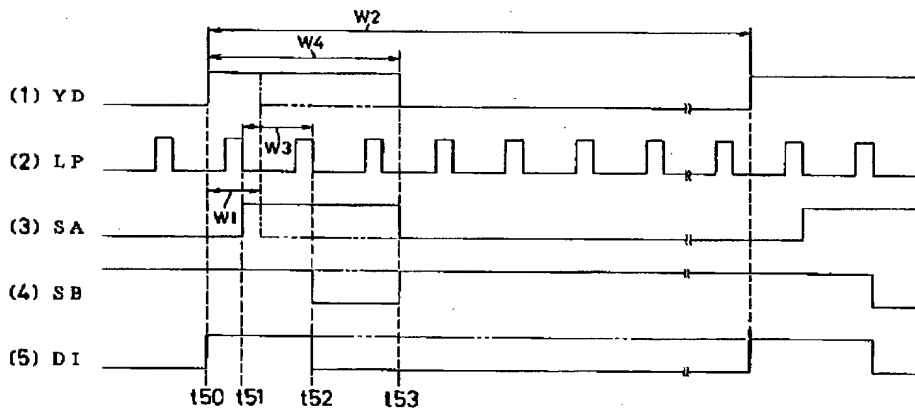
【図 7】



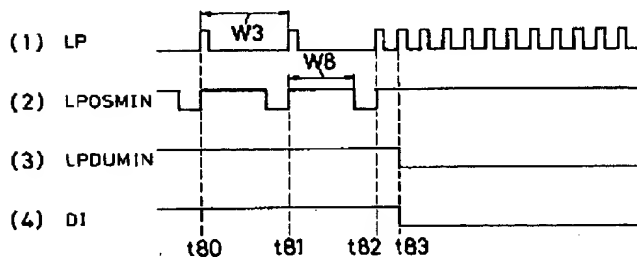
【図 10】



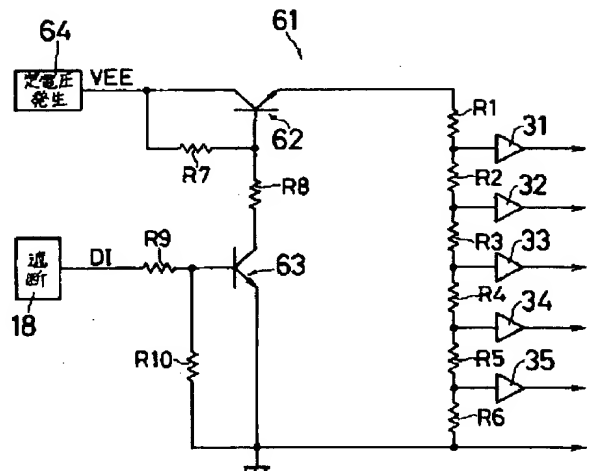
【図 8】



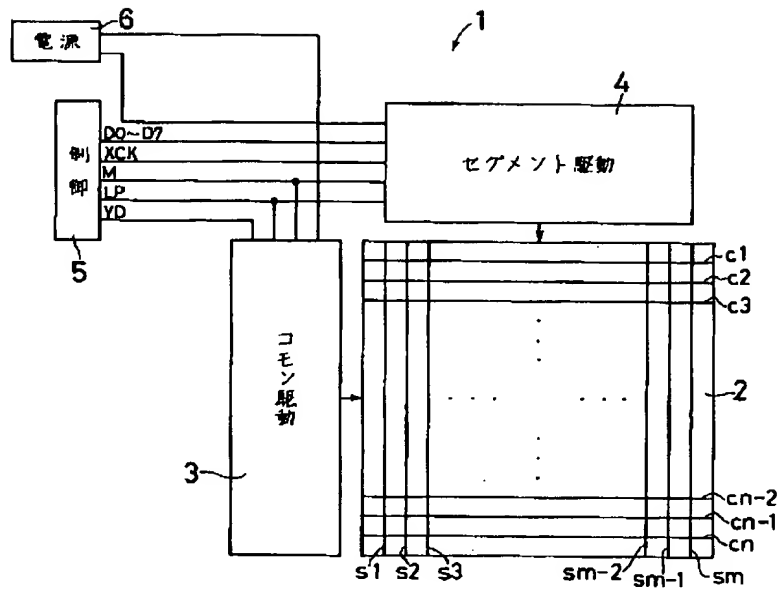
【図 11】



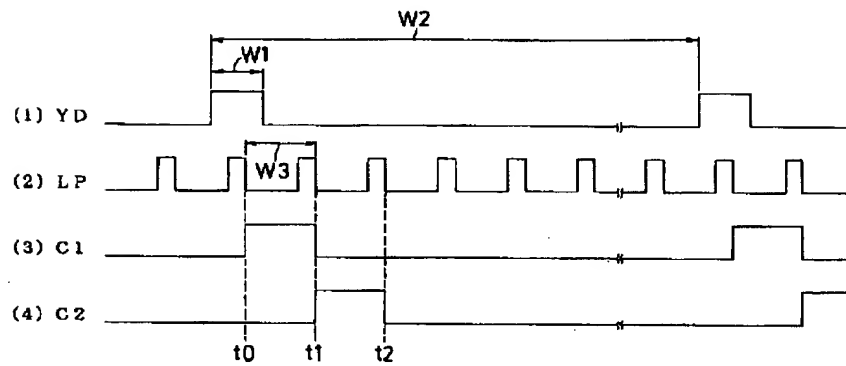
【図 12】



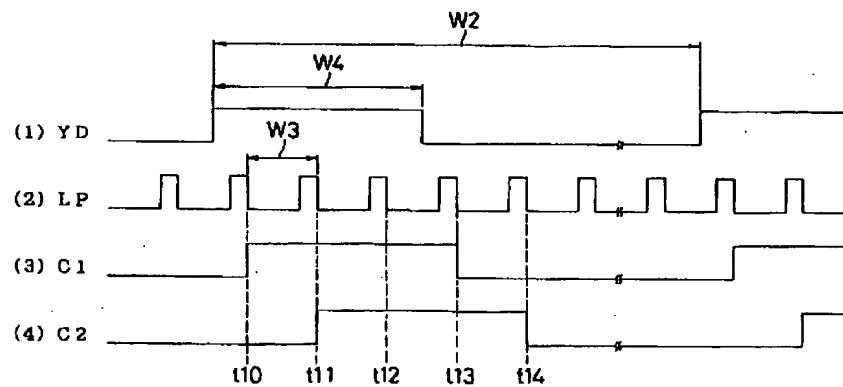
【図13】



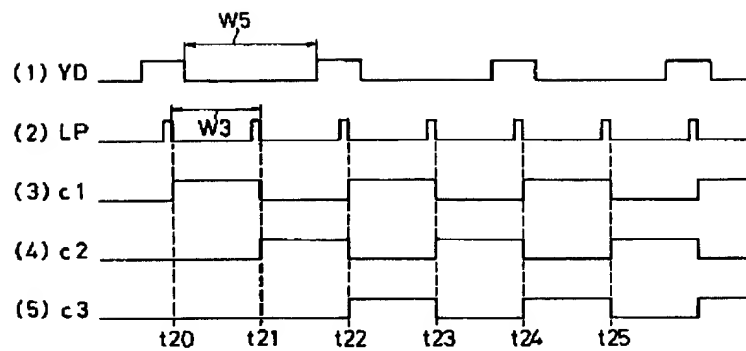
【図14】



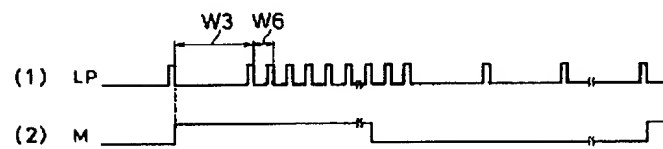
【図15】



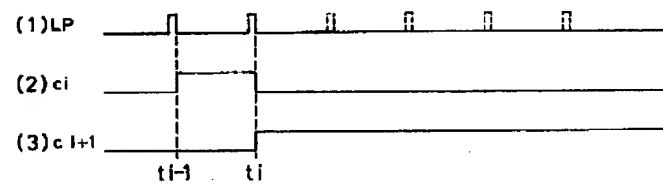
【図16】



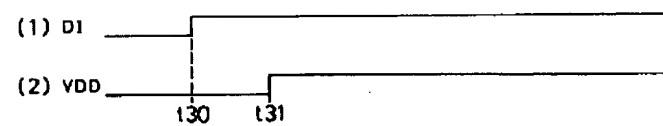
【図17】



【図18】



【図19】



【図20】

